

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

J1046 U.S. PTO  
10/000089  
12/04/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2000年12月 7日

出 願 番 号  
Application Number:

特願2000-372231

出 願 人  
Applicant(s):

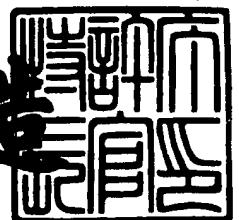
富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 9月13日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3084495

【書類名】 特許願

【整理番号】 0052338

【提出日】 平成12年12月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 G01R 31/28  
H01L 21/66

【発明の名称】 集積回路の試験装置及び試験方法

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 平出 貴久

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 山中 仁

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100103827

【弁理士】

【氏名又は名称】 平岡 憲一

【選任した代理人】

【識別番号】 100083297

【弁理士】

【氏名又は名称】 山谷 皓榮

【選任した代理人】

【識別番号】 100096530

【弁理士】

【氏名又は名称】 今村 辰夫

【手数料の表示】

【予納台帳番号】 039893

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9813681

【包括委任状番号】 9707817

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積回路の試験装置及び試験方法

【特許請求の範囲】

【請求項 1】 集積回路中に組み込まれて試験パターンを発生するパターン発生器と、

該発生した試験パターンを外部入力により修正するパターン修正器と、

集積回路内部の順序回路素子で形成した複数のシフトレジスタとを備え、

前記パターン修正器で修正した試験パターンを前記複数のシフトレジスタに入力することを特徴とする集積回路の試験装置。

【請求項 2】 試験パターンが入力される集積回路内部の順序回路素子で形成した複数のシフトレジスタと、

前記複数のシフトレジスタからの出力のうち不定状態を規定の状態にマスクする不定マスク器と、

該マスクされた出力結果を検証する出力検証器とを備えることを特徴とする集積回路の試験装置。

【請求項 3】 集積回路中に組み込まれて試験パターンを発生するパターン発生器と、

該発生した試験パターンを外部入力により修正するパターン修正器と、

集積回路内部の順序回路素子で形成した複数のシフトレジスタと、

前記パターン修正器で修正した試験パターンを前記複数のシフトレジスタに入力し、前記複数のシフトレジスタからの出力のうち不定状態を規定の状態にマスクする不定マスク器と、

該マスクされた出力結果を検証する出力検証器とを備えることを特徴とする集積回路の試験装置。

【請求項 4】 前記出力検証器に前記マスクした出力結果を圧縮する手段を備えることを特徴とした請求項 2 又は 3 記載の集積回路の試験装置。

【請求項 5】 集積回路中に組み込まれたパターン発生器で試験パターンを発生し、

該発生した試験パターンを外部入力により修正し、該修正した試験パターンを

集積回路内部の順序回路素子で形成した複数のシフトレジスタに入力することを特徴とする集積回路の試験方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】 本発明は、集積回路（L S I）の製造不良を検出するための試験装置及び試験方法に関するものである。

【 0 0 0 2 】

【従来の技術】 集積回路（L S I）の製造不良の検出は、テストを用いて L S I の入力ピンに適当な信号値を印加して、その出力ピンに現れる信号値を期待される結果と比較することで行われる。この入力ピンの信号値と出力ピンの期待値を合わせてテストパターンと呼ぶ。

【 0 0 0 3 】

L S I の製造不良により L S I の内部に生じる欠陥は故障と呼ばれ、L S I 内部に起こりうる全ての故障について検証を行うためには、多くのテストパターンが必要となる。また、あるテストパターンで L S I 内部に仮定される故障のうち検証できる割合を診断率（または検出率）と言ひ、テストパターンの質を問題にするとときの尺度として使われている。

【 0 0 0 4 】

L S I が順序回路素子（フリップフロップ（F / F）、ラッチおよび R A M）を含む場合、テストパターン作成の複雑さは飛躍的に増大する。そこで、L S I 内部の順序回路素子（主に F / F）でシフトレジスタ（スキャンパス（Scan Path）と呼ばれる）を形成し試験時に所望の値をシフトインし、クロック印加後にシフトレジスタの値を外部に読み出すスキャン設計が行われている。

【 0 0 0 5 】

この回路に対して、自動テストパターン発生器（Automatic Test Pattern Generator（A T P G））で作成したテストパターンをテスト（A T E）に格納して行われるディターミニスティックストアードパターンテスト（Deterministic Stored Pattern Test（D S P T））が広く採用されている。

【 0 0 0 6 】

図8は従来例のスキャン設計の説明図である。図8において、スキャン設計の概念をブロック図で示してある。このブロック図では、記憶素子であるF/Fを複数個用いてLSIのテストのための道筋であるスキャンパス（シフトレジスタ）#0、#1、・・・#n-1を形成している。これらの各スキャンパス#0、#1、・・・#n-1の左端からテストパターンがシフトインされ右端からテスト結果の出力を得るものである。しかし、近年LSIの集積度の増大に伴い、内部に含まれる順序回路素子が非常に多くなって来たため、スキャンパスを構成する全ての順序回路素子に対して、テストパターン毎に設定と読出しを繰り返すDSTを適用するには、以下のような問題が出てきた。

#### 【0007】

- 1.試験時間の増大
- 2.テストデータの増大による、テストのメモリ容量の逼迫

この問題を解決するために、組込み自己試験（Built in Self Test（BIST））が行われるようになってきた。BISTでは、疑似ランダムパターン発生器で発生されたパターンがLSIの内部回路に印加され、その出力結果が出力検証器で検証・格納される。疑似ランダムパターン発生器と出力検証器にはリニアフィードバックシフトレジスタ（LFSR）が使われることが多く、特に出力検証器では出力結果をシグネチャとして圧縮格納されるためマルチインプットシグネチャレジスタ（MISR）と呼ばれる。

#### 【0008】

図9は従来例のBIST回路の説明図である。図9において、BIST回路の概念をブロック図で示してある。このブロック図では、リニアフィードバックシフトレジスタ（LFSR）2、フェーズシフタ3、スキャンパス#0、#1、・・・#n-1、スペースコンパクタ6、マルチインプットシグネチャレジスタ（MISR）7が設けてある。

#### 【0009】

LFSR2で発生した疑似ランダムパターンがフェーズシフタ3を通して各スキャンパス#0、#1、・・・#n-1の先頭F/Fに入力される。そして、各スキャンパス#0、#1、・・・#n-1からの出力結果がスペースコンパクタ

6によりMISR7のビット数（例えば32ビット）程度に圧縮され、さらにそれらがMISR7により圧縮格納されるものである。

#### 【0010】

このように、BISTでは、パターン発生器がLSI内部に搭載されているため極めて多数のテストパターンを短時間で発生でき、MISR7により試験結果を圧縮するためテストにロードするデータ量を圧倒的に削減できるものであった。

#### 【0011】

##### 【発明が解決しようとする課題】

現在、LSI試験には、スキャン設計に基づくDSPTとテスト回路を組み込んだBISTが適用されている。

#### 【0012】

DSPTは、ATPGの作り出すテストパターンを利用するために非常に質（診断率）の高い試験が可能であり、テストパターンの追加が容易である。しかし、大規模なLSIに対してはテストパターン数が非常に多くなるため、ATPGが作り出すテストパターンをテスト（ATE）のメモリ上に全て格納することが困難になると同時に、テストでの試験時間が増大してきている。従って、DSPTを実施するには非常に高価なテストが必要となるものであった。

#### 【0013】

BISTは、上記DSPTの問題点を改善できるが、いくつかの欠点も存在する。BISTでは、疑似ランダムパターンが用いられるため、試験の質に問題がある。故障の検出率を高めるためには、追加テストとしてDSPTを適用するか、内部回路に制御性と観測性を増すようなテストポイントを挿入する必要がある。また、BISTでは、データ圧縮にMISRが用いられるが、その構成上一度でも不定状態を取り込むとMISR内の全てのレジスタが不定状態となって、試験不能になってしまうものであった。

#### 【0014】

一般に、LSI内部のRAMを含む順序回路素子は電源投入時には不定状態であるため、これらの順序回路素子を初期化するパターンをあらかじめ印加するか

、不定状態がM I S Rに伝播しないように回路を工夫する必要があった。この他にも、バス設計時にランダムパターンによりコンフリクトやフロート状態が起きないようにするなど、B I S Tを実回路に適用するには厳しい設計制約を設計者に強いることになる。これに加え、B I S T用の回路とテストポイントの挿入により回路のエリアオーバーヘッドも問題となるものであった。

## 【 0 0 1 5 】

本発明では、上記D S P TとB I S Tの問題点を解決し、高品質なテストを短時間で可能とすることを目的とする。その際、設計者に厳しい設計制約を課すこともなく、高価なテストを必要としない手法を提供するものである。

## 【 0 0 1 6 】

【課題を解決するための手段】図1は本発明の原理説明図である。図1中、2 aはパターン発生器、4はパターン修正器、5は不定マスク器、7 aは出力検証器、# 0 ~ # n - 1はシフトレジスタ（スキャンパス）である。

## 【 0 0 1 7 】

本発明は、前記従来の課題を解決するため次のような手段を有する。

## 【 0 0 1 8 】

(1) : 集積回路中に組み込まれて試験パターンを発生するパターン発生器2 aと、該発生した試験パターンを外部入力により修正するパターン修正器4と、集積回路内部の順序回路素子で形成した複数のシフトレジスタ# 0 ~ # n - 1とを備え、前記パターン修正器4で修正した試験パターンを前記複数のシフトレジスタ# 0 ~ # n - 1に入力する。このため、シフトレジスタ# 0 ~ # n - 1であるスキャンパス数を増やしスキャンパス段数を少なくすることで、集積回路（L S I）の試験時間の短縮を図ることができ、その際に意味あるデータ部分（設定が必要なF / Fの情報）のみをテスト（外部入力）から供給して修正するのでテストに格納されるデータの削減ができる。

## 【 0 0 1 9 】

(2) : 試験パターンが入力される集積回路内部の順序回路素子で形成した複数のシフトレジスタ# 0 ~ # n - 1と、前記複数のシフトレジスタ# 0 ~ # n - 1からの出力のうち不定状態を規定の状態にマスクする不定マスク器5と、該マ



スクされた出力結果を検証する出力検証器 7 a とを備える。このため、順序回路素子（内部 F / F）の結果を圧縮して外部に読み出しても、不定状態（X 状態）が圧縮結果を台無しにしてしまうことがなくなる。

#### 【 0 0 2 0 】

（3）：集積回路中に組み込まれて試験パターンを発生するパターン発生器 2 a と、該発生した試験パターンを外部入力により修正するパターン修正器 4 と、集積回路内部の順序回路素子で形成した複数のシフトレジスタ # 0 ~ # n - 1 と、前記パターン修正器 4 で修正した試験パターンを前記複数のシフトレジスタ # 0 ~ # n - 1 に入力し、前記複数のシフトレジスタ # 0 ~ # n - 1 からの出力のうち不定状態を規定の状態にマスクする不定マスク器 5 と、該マスクされた出力結果を検証する出力検証器 7 a とを備える。このため、スキャンパス数を増やし集積回路（L S I）の試験時間の短縮を図ることができ、意味あるデータ部分のみをテスト（外部入力）から供給して修正するのでテストに格納されるデータの削減ができるとともに、内部 F / F の結果を圧縮して外部に読み出しても、不定状態が圧縮結果を台無しにしてしまうことがなくなる。

#### 【 0 0 2 1 】

（4）：前記（2）又は（3）の集積回路の試験装置において、前記出力検証器 7 a に前記マスクした出力結果を圧縮する手段を備える。このため、内部 F / F の結果を出力検証器 7 a に効率よく格納することができる。

#### 【 0 0 2 2 】

【発明の実施の形態】集積回路（L S I）に対して高品質なテストを行うためには、テスト回路を組み込んだ B I S T で用いるような疑似ランダムパターンを用いる手法では限界がある。即ち、ランダムパターンでは検出しにくい故障が存在するため、回路の制御性と観測性を改善するためのテストポイントを挿入し、かつ非常に多数のランダムパターンを発生しなければならない。それでも、A T P G が発生するディターミニスティックパターンと同じ品質を実現することは不可能である。

#### 【 0 0 2 3 】

一方、A T P G がパターンを発生する場合は、基本的には内部の回路の 1 ヶ所

の故障を想定し、それを検出するパターンを作成する。これを、A T P G パターンと呼ぶことにする。この A T P G パターンは、全ての内部 F / F の設定値とシステムクロック印加後の全ての F / F の状態値で構成される。発生されたパターンのなかで該当故障を検出するために設定する必要のある順序回路素子 ( F / F ) の数は全 F / F の数と比べるとほんの僅かである。

## 【 0 0 2 4 】

図 2 は A T P G の設定 F / F 数の分布の説明図である。ここでは、図 2 の横軸が内部の回路の故障を検出する A T P G パターン数を縦軸が該当故障を検出するために必要となる設定 F / F 数を表わしている。A T P G は、基本的には 1 度に 1 ヶ所の故障を対象にしてパターンを作成するが、それでは設定する F / F がスカスカの状態では A T P G パターンが作成される。そこで、1 つの A T P G パターンで数カ所の故障を検出するようにパターンを圧縮する ( この場合、設定が重ならないパターンを用いる ) のが主流になっている。図 2 の結果もパターンを圧縮した結果であり、設定 F / F が千を超えるような A T P G パターンでは複数個所の故障を検出するための設定になっている。なお、ここで A T P G パターンは、設定 F / F 数の多い順にソーティングされている。

## 【 0 0 2 5 】

通常、D S P T では、

A T P G パターン数  $\times$  全 F / F 数

のデータをテストから試験対象 L S I に供給する必要がある。これは、図 2 の矩形全体の部分 ( 2 1 2 8 1  $\times$  2 7 5 5 ) のデータに相当する。これに対し、A T P G が設定した意味のあるデータ量は、図 2 の設定 F / F のグラフの下の斜線で表わされる部分のみである。例えば、1 番目の A T P G パターンでは 1 2 7 2 個の F / F にデータを設定する必要がある、1 0 0 0 番目の A T P G パターンでは 5 0 個程度の F / F にデータを設定する必要がある。この設定する必要のある順序回路素子 ( F / F ) の数は、全 F / F の数 ( 2 1 2 8 1 ) と比べるとほんの僅かであることがわかる。

## 【 0 0 2 6 】

このことから、本発明では上記の A T P G が設定した意味あるデータ部分のみ

をテストから供給するのみで、試験対象 L S I には、ディターミニスティックパターンを印加することができるものである。

## 【 0 0 2 7 】

スキャン設計が行われた L S I の場合、1つの ATPG パターンはスキャンパスへ複数のシフトパターンに分割されてテストから L S I に印加される。そこで、L S I 内部の F / F を並列にシフト動作が可能な複数のスキャンパスに振り分けて、試験時間の短縮が図られる。従って、スキャン設計に従う L S I の試験時間は、

ATPG パターン数 × スキャンパス段数 × 試験サイクル  
となる。この場合、上式のスキャンパス段数は、最も F / F を多く振り分けられたスキャンパスの F / F 数となる。また試験サイクルは、テストが L S I に供給するクロックサイクルであり、これはテストの性能に依存する。

## 【 0 0 2 8 】

B I S T では、内部のパターン発生器を高速で動作させることが可能なためクロックサイクルをあげる（試験サイクルを短くする）ことで試験時間を短縮できる。さらに B I S T では、パターン発生器の出力ピン数を増やすことで容易にスキャンパス数を増やすことも可能であり、結果としてスキャンパス段数が少なくなるので試験時間の短縮が図れる。

## 【 0 0 2 9 】

これに対して、D S P T では各スキャンパス毎に入力ピンと出力ピンを設け、テストと接続する必要がある。この入出力ピン数はテストの性能に依存するため、スキャンパスをテスト制約以上には増やすことはできないものであった。

## 【 0 0 3 0 】

本発明では、B I S T と同様にスキャンパス数を増やしスキャンパス段数を少なくすることで、L S I の試験時間の短縮を図る。その際、テストから与えるデータを工夫（デコーダ回路等を用いてチェーン情報を圧縮）して、テスト制約内の少数のピンを用いて意味あるデータ部分（設定が必要な F / F の情報）のみをテストから供給するものである。

## 【 0 0 3 1 】

A T P G が設定する F / F 数は僅かであるが、実際にテストからパターンを供給する際には残りの F / F 部分にはランダムパターンが設定される。これは、そのパターンで該当故障以外の故障も付随的に検証することを期待したものである。本発明でも、同様のことを行うためにテストから設定情報が供給される F / F 以外の大部分の F / F に対して、B I S T と同様の回路を用いてランダムパターンを供給するものである。

## 【 0 0 3 2 】

L S I 試験では、テストからスキャンパスを介して内部 F / F に値を設定し、システムのクロックを叩いた後、内部の F / F の値を再びスキャンパスを介して外部に読み出し期待値と比較する必要がある。B I S T では、内部を高速で動作させる必要がある場合や、スキャンパス数が多い場合に内部 F / F の結果を圧縮して格納し、後でゆっくりとテストで外部に読み出して期待値と比較する手法が用いられる。この目的のために、L F S R と E O R (排他的論理和) ゲートから構成される M I S R が用いられている。

## 【 0 0 3 3 】

本発明でも、スキャンパス数を多くするために B I S T と同様に内部 F / F の結果を圧縮して外部に読み出す必要がある。この際、B I S T の問題点で示したように R A M などの不定状態 (X 状態) が M I S R の圧縮結果を台無しにしてしまう場合がある。M I S R の入り口には E O R が使われており、M I S R のフィードバックループ部分にも同様に E O R が使われている。E O R 回路は入力の本にでも不定状態があると出力も不定状態になるため、フィードバックを E O R で形成している M I S R の全てのレジスタは不定状態に縮退してしまう。そこで、本発明ではスキャンパスの出力で不定状態をマスクするものである。

## 【 0 0 3 4 】

図 3 は本発明の実施の形態における試験装置の説明図である。図 3 において、試験装置には、リニアフィードバックシフトレジスタ (L F S R) 2、フェーズシフタ 3、パターン修正器 (Pattern Modifying Part) 4、スキャンパス # 0、# 1、... # n - 1、不定マスク器 5、スペースコンパクタ 6、マルチインプットシグネチャレジスタ (M I S R) 7 が設けてある。

## 【 0 0 3 5 】

L F S R 2 で発生した疑似ランダムパターンがフェーズシフタ 3 を通してパターン修正器 4 に入力される。パターン修正器 4 では、テストから制御入力ピン等からの制御信号 (Control Signals) で設定が必要な F / F のみを修正して、各スキャンパス # 0、# 1、... # n - 1 の先頭 F / F に入力する。そして、不定マスク器 5 では、各スキャンパス # 0、# 1、... # n - 1 の最終 F / F を制御入力ピン等からの制御信号で不定値 (X 状態) をマスクしてスペースコンパクタ 6 に入力する。スペースコンパクタ 6 では M I S R 7 のビット数 (例えば 3 2 ビット) 程度に圧縮され、さらにそれらが M I S R 7 により圧縮格納されるものである。

## 【 0 0 3 6 】

図 4 はパターン発生部分の説明図である。図 4 において、パターン発生器として L F S R 2 を、スキャンパスを 1 2 8 本と想定している。パターン発生部は L F S R 2 とフェーズシフタ 3 で構成され L F S R 2 が疑似ランダムパターンを発生し、フェーズシフタ 3 を通して 1 2 8 本分のランダムビット列がパターン修正器 4 に入力される。これ以外に、パターン修正器 4 にはテストから制御入力ピン 8 本 (a 1 ~ a 8) が入力され、1 2 8 本のスキャンパス # 0、# 1、... # 1 2 7 への出力が接続され、さらには 1 2 8 本のスキャンパスの先頭 F / F の出力がフィードバックされる。また、パターン修正器 4 は L F S R 2 (および M I S R 7) とスキャンパス # 0、# 1、... # 1 2 7 上の F / F へのシフトクロックも制御し、スキャンパス # 0、# 1、... # 1 2 7 の先頭 F / F のシフトクロックを独立に印加できるようになっている。

## 【 0 0 3 7 】

パターン修正器 4 は、制御入力の下 7 ビット (a 2 ~ a 8) を入力とするデコーダ回路 2 1 を持ち、1 2 8 本のスキャンパス # 0、# 1、... # 1 2 7 のうち特定の 1 本に入力される信号値を E O R 回路 2 2 で反転させる。より具体的な制御入力に与えられるコードとその動作を以下に示す。

## 【 0 0 3 8 】

(コード)

(動作)

00000000	ランダムパターンシフト
00000001	1 番スキャンパスの先頭 F / F 反転
00000010	2 番スキャンパスの先頭 F / F 反転
:	:
01111111	127 番スキャンパスの先頭 F / F 反転
10000000	0 番スキャンパスのみ反転したランダムパターンシフト
10000001	1 番スキャンパスのみ反転したランダムパターンシフト
10000010	2 番スキャンパスのみ反転したランダムパターンシフト
:	:
11111111	127 番スキャンパスのみ反転したランダムパターンシフト

・制御入力全ビット「0」の場合には、LFSR2とスキャンパス上の全F/Fにシフトクロック（ネガティブクロック）が入力ピンa10から供給され、LFSR2が先のクロックで作出したランダムビット列がそのままスキャンパスにシフトインされる。

#### 【0039】

即ち、制御入力の下7ビット（a2～a8）が「0」のためNOR（ノア）回路24の出力は「1」、制御入力の最上位ビット（a1）は「0」のためNOR回路25の出力は「0」である。このため、マルチプレクサ23はフェイズシフタ3からの信号をEOR回路22に送信する。そして、入力ピンa10からのシフトクロック（Scan Clock）は、スキャンパスの先頭F/Fには直接、LFSR2とスキャンパス上の先頭F/F以外のF/FにはOR（オア）回路26を通して供給される。なお、AND回路27は、制御入力全ビットが「0」の時、LFSR2からスキャンパス#0への入力の反転を防止するものである。

#### 【0040】

・制御入力が「10000000」から「11111111」の場合は、LFSR2とスキャンパス上の全F/Fにシフトクロックが供給され、LFSR2が先のクロックで作出したランダムビット列がスキャンパスにシフトインされるが、その際に制御入力の下7ビットで表わされる1本のスキャンパスの値のみEOR回路22により反転される。

## 【0041】

即ち、制御入力の下7ビット（a2～a8）の何れかが「1」のためNOR回路24の出力は「0」、制御入力の最上位ビット（a1）は「1」のためNOR回路25の出力は「0」である。このため、マルチプレクサ23はフェイズシフタ3からの信号をEOR回路22に送信する。そして、入力ピンa10からのシフトクロックは、スキャンパスの先頭F/Fには直接、LFSR2とスキャンパス上の先頭F/F以外のF/FにはOR（オア）回路26を通して供給される。その際に制御入力の下7ビットで表わされる1本のスキャンパスの値のみEOR回路22にデコーダ回路21から「1」が入力されるため、マルチプレクサ23からの信号をEOR回路22で反転させて先頭F/Fに出力する。

## 【0042】

・制御入力が「00000001」から「01111111」の場合は、スキャンパスの先頭F/Fのみにシフトクロックが供給され、LFSR2からの出力ではなく先頭F/Fの出力が有効となり再び先頭F/Fにフィードバックされるが、その際に制御入力の下7ビットで表わされる1本のスキャンパスの値のみEOR回路22により反転される。この動作により、制御入力の下7ビットで表わされるスキャンパスの先頭F/Fのみが反転されることになる。

## 【0043】

即ち、制御入力の下7ビット（a2～a8）の何れかが「1」のためNOR回路24の出力は「0」、制御入力の上位ビット（a1）は「0」のためNOR回路25の出力は「1」である。このため、入力ピンa10からのシフトクロックは、スキャンパスの先頭F/Fには供給されるが、OR回路26の出力がNOR回路25の出力で「1」となるのでLFSR2とスキャンパス上の先頭F/F以外のF/Fには供給されない。そして、NOR回路25の出力「1」でマルチプレクサ23は先頭F/Fからの出力信号をEOR回路22に送信する。その際に制御入力の下7ビットで表わされる1本のスキャンパスの値のみEOR回路22にデコーダ回路21から「1」が入力されるため、マルチプレクサ23からの信号をEOR回路22で反転させて先頭F/Fに出力する。

## 【0044】

図5は乱数とATPGの設定の説明図である。図5において、乱数の表は、LFSR2で発生したF/Fに設定する乱数である。ATPGの表で、「-」は設定する必要のないF/F、「1」と「0」はATPGが設定するF/Fの値である。ATPGでは、LFSR2の動作をシミュレーションすることにより、LFSR2が発生する乱数を把握できるため、乱数表の修正が必要な値を見つけることができる。図5では、ATPGの表の点線の四角で囲まれた値が乱数の表の値と相違している。従って、この相違する部分のみ修正する。

【0045】

上記の回路により具体的に任意の値を内部F/Fに設定する入力パターン例を以下に示す。

(パターン番号)	(コード)	(動作)
1	00000000	ランダムパターンシフト
2	10000011	3番スキャンパスのみ反転したランダムパターンシフト
3	00000000	ランダムパターンシフト
4	10000001	1番スキャンパスのみ反転したランダムパターンシフト
5	00000100	4番スキャンパスの先頭F/F反転
6	01111111	127番スキャンパスの先頭F/F反転
7	00000000	ランダムパターンシフト

本例では7パターンがテストより供給される。第1パターン（パターン番号1）は全ビット「0」のランダムパターンシフト動作が行われる。第2パターンでは3番のスキャンパス#3のみの入力値が反転（「0」が「1」に反転）されるランダムパターンシフト動作が行われる。第3パターンで再び全ビット0のランダムパターンシフト動作が行われる。次の第4パターンから第6パターンでスキャンパス1段分のシフトが行われ、3ビット分のスキャンパスへの入力値が反転される。具体的には、第4パターンで1番のスキャンパス#1のみの値が反転（「0」が「1」に反転）されるランダムパターンシフト動作が行われ、次の第5パターンで4番のスキャンパス#4の先頭F/Fの値のみが反転（「1」が「0



」に反転)される。さらに第6パターンで127番のスキャンパス#127の先頭F/Fの値のみが反転(「1」が「0」に反転)される。ここで第5パターンと第6パターンではLFSR2と先頭以外のスキャンパス上のF/Fにはシフトクロックは供給されない。最後に第7パターンで再び全ビット「0」のランダムパターンシフト動作が行われる。

## 【0046】

以上の7パターンがテストより印加された時点でのスキャンパス上のF/Fの値を図6に示す。図6は入力パターン例に対するシフト結果の説明図である。ここで、「-」はLFSR2からのランダムパターンが設定されるF/Fを、「F」はLFSR2のランダムパターンがATPGの要求値と異なるため反転して設定されるF/Fを示す。

## 【0047】

以上の方法で、ATPGが要求する値を内部のF/Fに設定することが出来る。即ち、純粋なランダムパターンシフトおよび1ビットのみ反転の場合には、1パターンで1段のシフトが完結する。2ビット以上の反転の場合には、1段のシフトのために反転ビット数分だけのパターンが必要になる。ここで、図2に示される事実から多ビット反転によるパターンの増加はほとんど起きず、多スキャンパス化による並列度の向上による試験時間の短縮が可能となる。またテストに格納するデータ量も同様に並列度に従って減少することができる。

## 【0048】

図7は本発明の実施の形態における出力検証部分の説明図である。本例では出力検証器としてMISR7を、スキャンパスを128本と想定している。出力検証部はMISR7とスペースコンパクタ6で構成され、128本分のスキャンパス#0、#1、・・・#127の出力がスペースコンパクタ6によりMISR7のビット数程度に圧縮され、さらにそれがMISR7により圧縮格納される。また、不定マスク器5には、制御入力ピン8本(b1～b8)とそれぞれ128本のスキャンパス#0、#1、・・・#127の最終F/Fの出力とその一つ前の出力が入力され、128本の出力はスキャンパスの最終F/Fの入力に接続される。また、不定マスク器5は、MISR7(およびLFSR2)とスキャンパス

上のF/Fへのシフトクロックも制御する。不定状態をマスクする時には、スキャンパス#0、#1、・・・#127の最終F/Fのシフトクロックのみ印加され、他のスキャンパス上のF/FおよびMISR7（およびLFSR2）のシフトクロックは抑止される。

## 【0049】

不定マスク器5は、制御入力 of 最上位ビット（b1）でマスク動作を有効にし、制御入力の下7ビット（b2～b8）を入力とするデコーダ回路31を持ち、128本のスキャンパスのうち特定の1本に入力される不定値（X状態値）をOR回路（またはAND回路）で「1」状態値（または「0」状態値）にマスクする。

## 【0050】

即ち、制御入力ピンb1に「1」が入力されるとOR回路36の出力は「1」となるため、スキャンパス上の最終F/F以外のF/FおよびMISR7（およびLFSR2）へのシフトクロック（ネガティブクロック）は抑止されるとともに、制御入力ピンb1の「1」によりマルチプレクサ33が最終F/Fの出力をフィードバックしてOR回路32に出力する。このため、デコーダ回路31から「1」を出力し、128本のスキャンパスのうち特定の1本に入力される不定値（X状態値）をOR回路32で「1」状態値にマスクすることができる。なお、同時に他のスキャンパスのF/Fにも不定値があれば次のシフトクロックでそのF/Fをマスクするものである。

## 【0051】

パターン発生部分と出力検証部分は基本的には独立のものであるが、両回路を共に適用する場合には制御入力の下7ビット部分を共用可能である。

## 【0052】

以上実施の形態で説明したように、本発明により、ATPGが発生するディタ—ミニスティックなテストパターンを集積回路（LSI）に短時間で適用可能となる。具体的には、内部のスキャンパスの数をn倍にすればほぼ試験時間を1/nにすることが可能となる。

## 【0053】

それと同時に、テストに格納するパターンのデータ量を削減できる。具体的には、内部のスキャンパスの数を  $n$  倍にすればほぼメモリ量を  $1/n$  にすることが可能となる。

## 【 0 0 5 4 】

本発明では、BISTで用いられるパターン発生器（LFSR2など）を利用するが、ディターミニスティックなパターンが内部に適用されるので、バス回路の特別な制御回路や診断率向上のためのテストポイントの回路挿入などの、設計者に厳しい設計制約を課すことはない。また、BISTで用いられるパターン圧縮器（MISR7など）も利用可能であり、不定マスク器5を用いることで回路内部の不定状態がMISR7に伝播し検証不能になることを防ぐことができる。

## 【 0 0 5 5 】

更に、上記集積回路（LSI）、LFSR2、フェーズシフタ3、パターン修正器4、スキャンパス#0、#1、・・・# $n-1$ 、不定マスク器5、スペースコンパクタ6、MISR7等は、コンピュータ上でシミュレートでき、実際の集積回路の製造前に試験データを作成することもできる。

## 【 0 0 5 6 】

【発明の効果】以上説明したように、本発明によれば次のような効果がある。

## 【 0 0 5 7 】

(1)：集積回路中に組み込まれたパターン発生器で発生した試験パターンをパターン修正器で修正して複数のシフトレジスタに入力するため、シフトレジスタであるスキャンパス数を増やしスキャンパス段数を少なくすることで、集積回路（LSI）の試験時間の短縮を図ることができ、その際に意味あるデータ部分（設定が必要なF/Fの情報）のみをテスト（外部入力）から供給して修正するのでテストに格納されるデータの削減ができる。

## 【 0 0 5 8 】

(2)：集積回路内部の順序回路素子で形成した複数のシフトレジスタからの出力のうち不定状態を規定の状態にマスクし、該マスクされた出力結果を出力検証器で検証するため、順序回路素子（内部F/F）の結果を圧縮して外部に読み

出しても、不定状態（X状態）が圧縮結果を台無しにしてしまうことがなくなる。

【 0 0 5 9 】

（３）：集積回路中に組み込まれたパターン発生器で発生した試験パターンをパターン修正器で修正して複数のシフトレジスタに入力し、複数のシフトレジスタからの出力のうち不定状態を規定の状態にマスクし、該マスクされた出力結果を出力検証器で検証するため、スキャンパス数を増やし集積回路の試験時間の短縮を図ることができ、意味あるデータ部分のみをテスト（外部入力）から供給して修正するのでテストに格納されるデータの削減ができるとともに、内部  $F/F$  の結果を圧縮して外部に読み出しても、不定状態が圧縮結果を台無しにしてしまうことがなくなる。

【 0 0 6 0 】

（４）：出力検証器にマスクした出力結果を圧縮する手段を備えるため、内部  $F/F$  の結果を出力検証器に効率よく格納することができる。

【図面の簡単な説明】

【図 1】 本発明の原理説明図である。

【図 2】 実施の形態における ATPG の設定  $F/F$  数の分布の説明図である。

【図 3】 実施の形態における試験装置の説明図である。

【図 4】 実施の形態におけるパターン発生部分の説明図である。

【図 5】 実施の形態における乱数と ATPG の設定の説明図である。

【図 6】 実施の形態における入力パターン例に対するシフト結果の説明図である。

【図 7】 実施の形態における出力検証部分の説明図である。

【図 8】 従来例のスキャン設計の説明図である。

【図 9】 従来例の BIST 回路の説明図である。

【符号の説明】

2 a パターン発生器

4 パターン修正器

5 不定マスク器

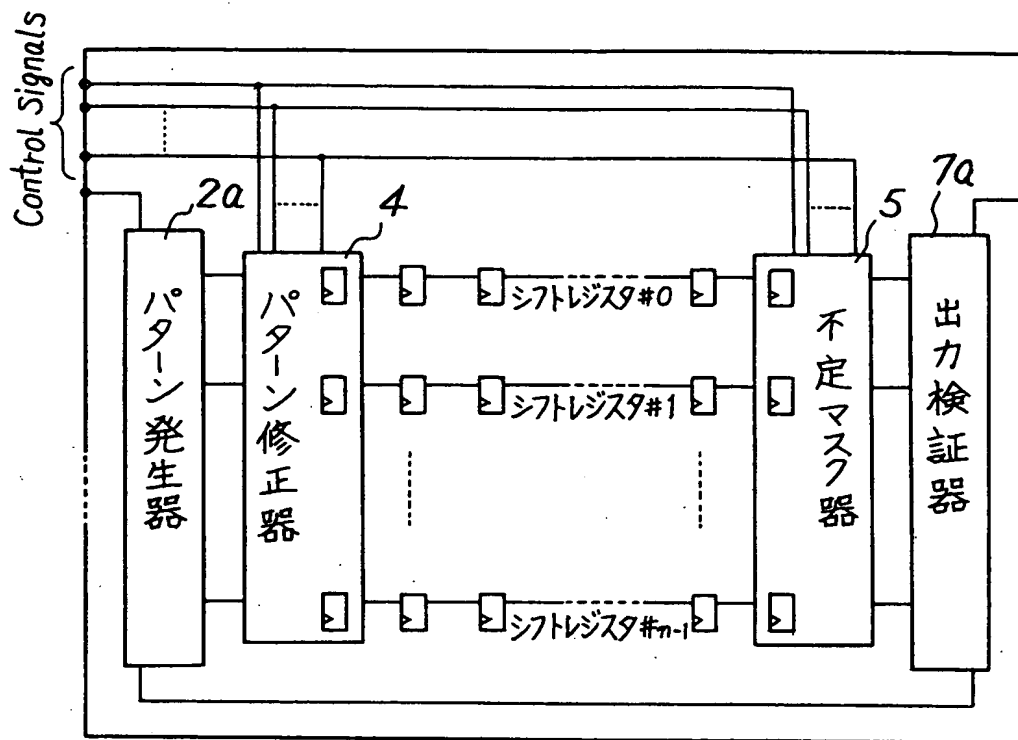
7 a 出力検証器

# 0 ~ # n - 1 シフトレジスタ (スキャンパス)

【書類名】 図面

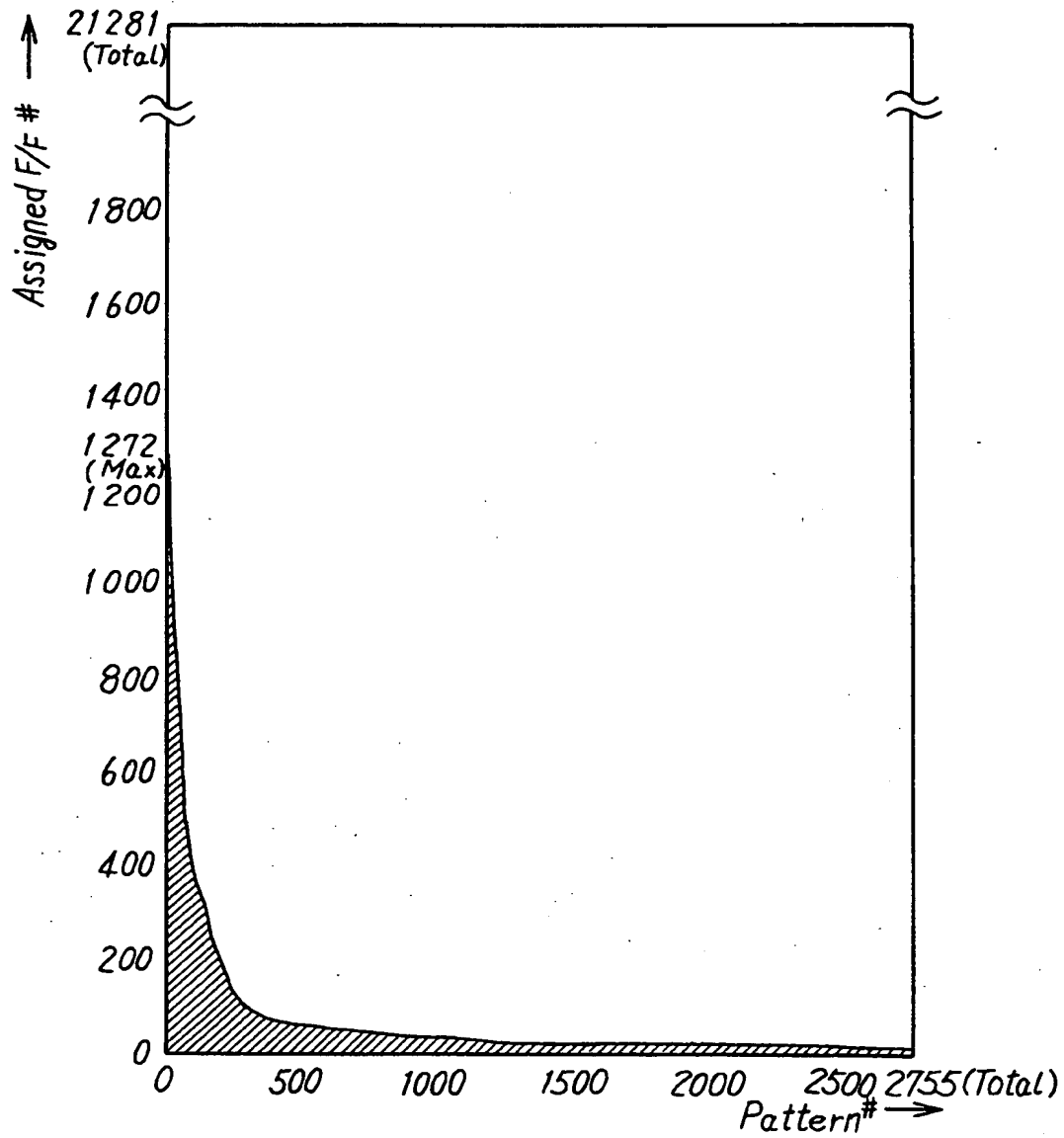
【図 1】

# 本発明の原理説明図



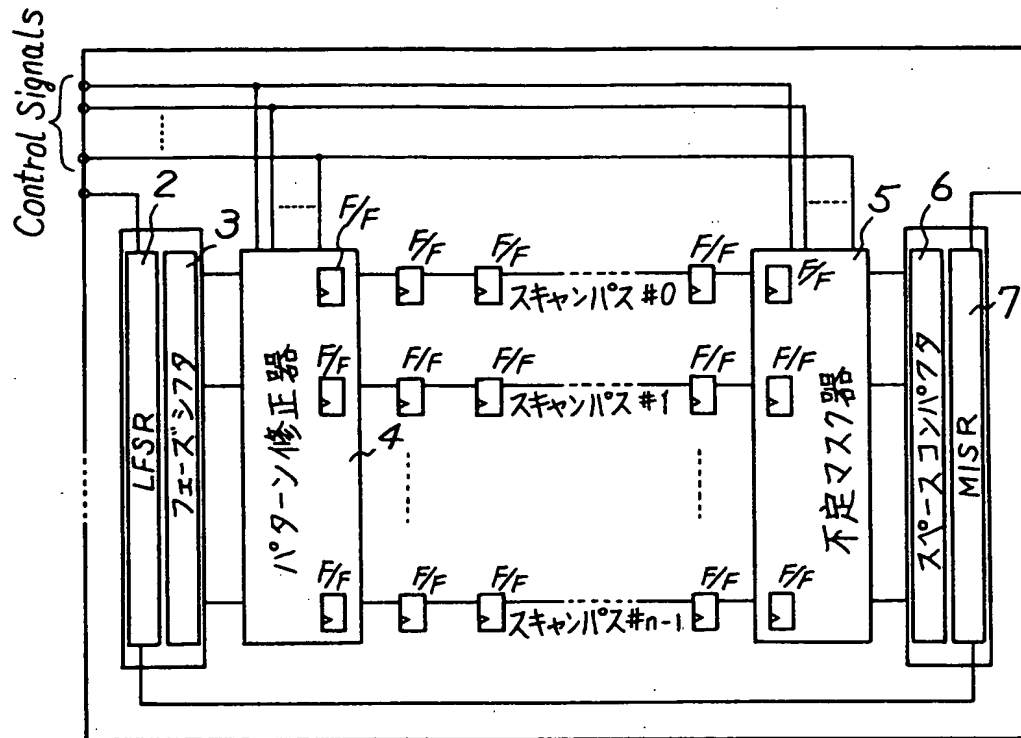
【図 2】

# ATPGの設定F/F数の分布の説明図



【図 3】

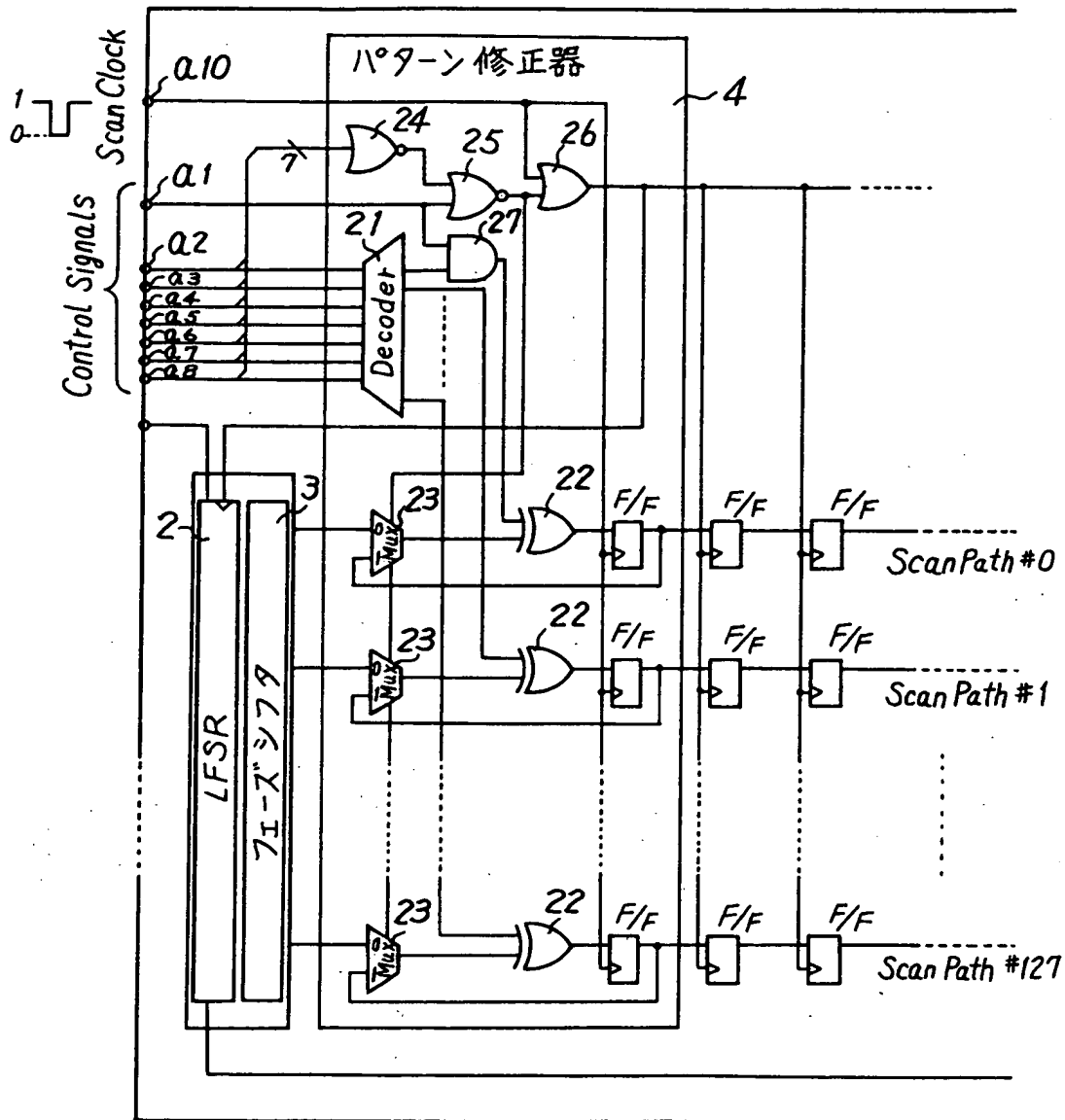
# 試験装置の説明図





【図4】

パターン発生部分の説明図



【図 5】

# 乱数とATPGの設定の説明図

スキャンパス番号	乱 数	ATPG
0番	0 1 0 1 0	- 1 - - -
1番	1 0 1 0 1	1 <span style="border: 1px solid black;">1</span> - - 1
2番	0 1 0 1 0	- - 0 - -
3番	1 0 1 0 1	- - 1 <span style="border: 1px solid black;">1</span> -
4番	0 1 0 1 0	- <span style="border: 1px solid black;">0</span> - - -
⋮	⋮	⋮
126番	1 0 1 0 1	- 0 - 0 -
127番	0 1 0 1 0	- <span style="border: 1px solid black;">0</span> - 1 -

【図 6】

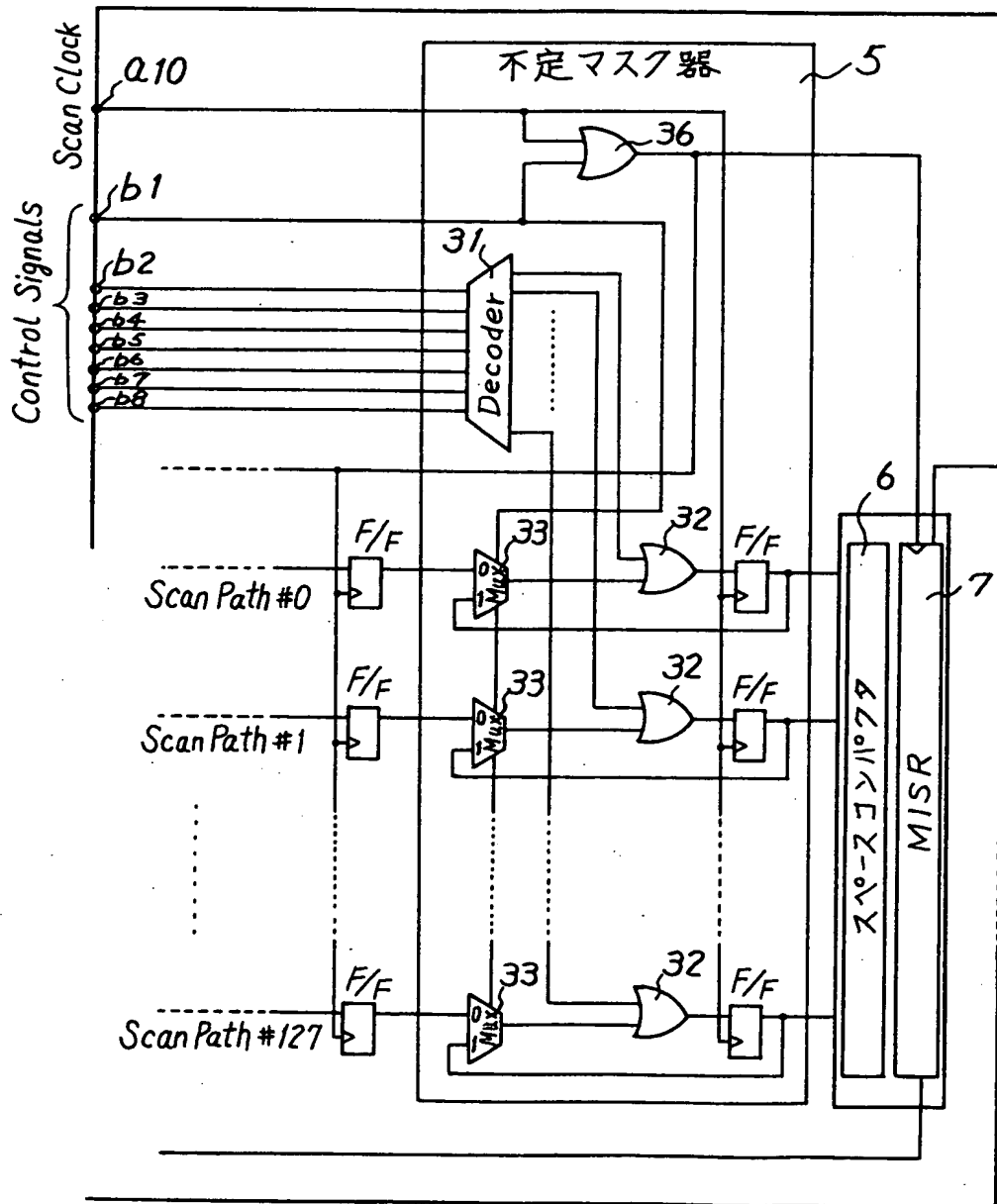
# 入力パターン例に対するシフト結果の説明図

スキャンパス番号	スキャンパスの設定値
0番	→ <span style="border: 1px solid black; padding: 2px;">-----</span> →
1番	→ <span style="border: 1px solid black; padding: 2px;">-F----</span> →
2番	→ <span style="border: 1px solid black; padding: 2px;">-----</span> →
3番	→ <span style="border: 1px solid black; padding: 2px;">----F-</span> →
4番	→ <span style="border: 1px solid black; padding: 2px;">-F----</span> →
⋮	⋮
126番	→ <span style="border: 1px solid black; padding: 2px;">-----</span> →
127番	→ <span style="border: 1px solid black; padding: 2px;">-F----</span> →

シフト方向 ⇒

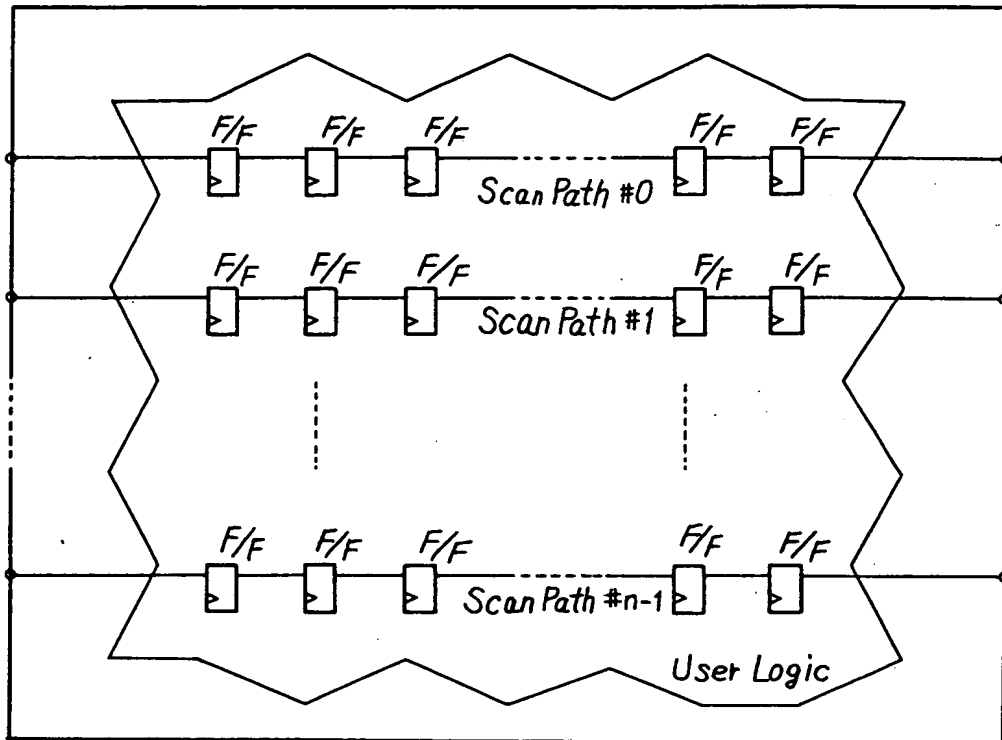
【図 7】

出力検証部分の説明図



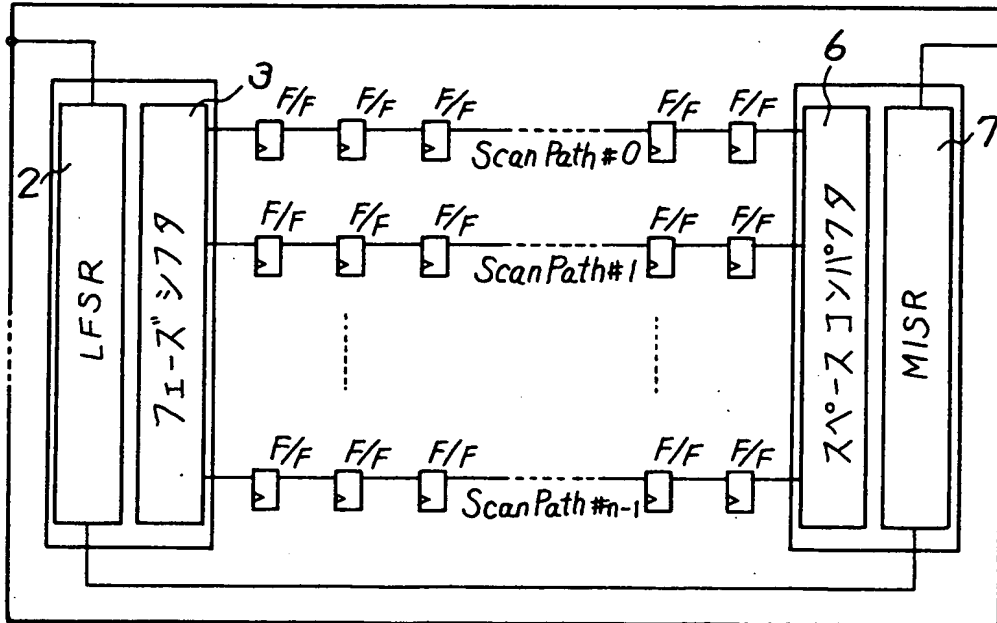
【図 8】

従来例のスキャン設計の説明図



【図9】

従来例のBIST回路の説明図



【書類名】            要約書

【要約】

【課題】 高品質なテストを短時間で可能とし、設計者に厳しい設計制約を課すこともなく、高価なテストを必要としなくすること。

【解決手段】 集積回路中に組み込まれて試験パターンを発生するパターン発生器 2 a と、該発生した試験パターンを外部入力により修正するパターン修正器 4 と、集積回路内部の順序回路素子で形成した複数のシフトレジスタ # 0 ～ # n - 1 とを備え、前記パターン修正器 4 で修正した試験パターンを前記複数のシフトレジスタ # 0 ～ # n - 1 に入力する。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社